

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月 8日
Date of Application:

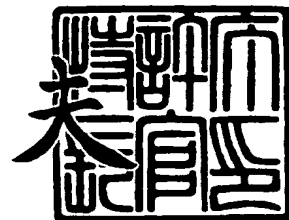
出願番号 特願2003-002667
Application Number:
[ST. 10/C]: [JP 2003-002667]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2003年12月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井 康





【書類名】 特許願

【整理番号】 P006880

【提出日】 平成15年 1月 8日

【あて先】 特許庁長官殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 西 和夫

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 高山 徹

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 後藤 裕吾

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

**【書類名】 明細書****【発明の名称】** 半導体装置及びその作製方法**【特許請求の範囲】****【請求項 1】**

第 1 の基板上に金属膜、金属酸化膜、絶縁膜及び水素を含む非晶質半導体膜を順に形成し、

加熱処理を施して前記金属酸化物膜及び前記非晶質半導体膜を結晶化し、

該結晶化された半導体膜を活性領域に用いて第 1 の半導体素子を形成した後、前記第 1 の半導体素子上に第 1 の接着材を用いて支持体を接着し、

前記金属膜と前記金属酸化膜との間、前記金属酸化膜内、又は前記金属酸化膜と前記絶縁膜との間で剥離し、

前記剥離された絶縁膜又は前記剥離された金属酸化膜に第 2 の基板を接着したのち、前記第 1 の接着材を除去して前記支持体を剥離し、前記第 1 の半導体素子上に非晶質半導体膜を形成し、該非晶質半導体膜を活性領域に用いる第 2 の半導体素子を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

第 1 の基板上に金属膜、金属酸化膜、絶縁膜及び水素を含む非晶質半導体膜を順に形成し、

加熱処理を施して前記金属酸化物膜及び前記非晶質半導体膜を結晶化し、

該結晶化された半導体膜を活性領域に用いて第 1 の半導体素子を形成し、

前記第 1 の半導体素子上に非晶質半導体膜を形成して、該非晶質半導体膜を活性領域に用いる第 2 の半導体素子を形成し、

該第 2 の半導体素子上に第 1 の接着材を用いて支持体を接着し、

前記金属膜と前記金属酸化膜との間、前記金属酸化膜内、又は前記金属酸化膜と前記絶縁膜との間で剥離し、

前記剥離された絶縁膜又は前記剥離された金属酸化膜にプラスチック基板を接着したのち、前記第 1 の接着材を除去して前記支持体を剥離することを特徴とする半導体装置の作製方法。

【請求項 3】



請求項 1 又は請求項 2 において、前記第 1 の半導体素子は、薄膜トランジスタであることを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記第 2 の半導体素子は、ダイオード又は薄膜トランジスタであることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、前記加熱処理は水素を含む半導体膜中の水素を放出または拡散する温度以上で行うことを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、前記金属膜は、W、Ti、Ta、Mo、Cr、Nd、Fe、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os、Ir、Pt から選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層、またはこれらの金属または混合物の積層であることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、前記絶縁膜は、スパッタリング法により形成された酸化シリコン膜、酸化窒化シリコン膜、又は金属酸化膜であることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、前記第 2 の基板は、プラスチック基板又は有機樹脂部材であることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、前記半導体装置は、光センサ、光電変換素子又は太陽電池を有することを特徴とする半導体装置の作製方法。

【請求項 10】

接着材を用いて基板上に設けられた半導体装置であって、該半導体装置は、結晶質半導体膜を活性領域に用いる第 1 の半導体素子及び非晶質半導体膜を活性領域に用いる第 2 の半導体素子を有することを特徴とする半導体装置。

【請求項 11】

請求項 10 において、前記第 1 の半導体素子は、薄膜トランジスタであることを特徴とする半導体装置。

【請求項 12】

請求項 10 又は請求項 11 において、前記第 2 の半導体素子は、ダイオード又は薄膜トランジスタであることを特徴とする半導体装置。

【請求項 13】

請求項 10 乃至請求項 12 のいずれか一項において、前記基板は、プラスチック基板又は有機樹脂部材であることを特徴とする半導体装置。

【請求項 14】

請求項 10 乃至請求項 13 のいずれか一項において、前記半導体装置は、光センサ、光電変換素子又は太陽電池素子を有することを特徴とする半導体装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、薄型で軽量である半導体装置を作製する方法に関する。具体的には、有機樹脂部材又はプラスチック基板上に半導体装置を作製する方法に関する。本発明において、半導体装置とは、非晶質半導体膜を活性領域に有する半導体素子及び結晶質半導体膜を活性領域に有する半導体素子を含む半導体装置であって、具体的には、光センサ素子、光電変換装置、太陽電池等を有する半導体装置である。

【0002】**【従来の技術】**

光センサは、ファクシミリ、複写機、ビデオカメラ、デジタルスチルカメラ等映像を電気信号に変換するためのセンサとして広い分野で使用されている。光センサの材料としては、おもに半導体を用いており、半導体の材料の代表例としてシリコンが挙げられる。シリコンを用いた光センサには、単結晶シリコン又はポリシリコンを用いるものとアモルファスシリコンを用いるものとがある。単結晶シリコンまたはポリシリコンを用いる光センサは、800nm 付近の赤外領域に

において感度が最も高く、1100 nm 近傍まで感度を有してしまう。このため、赤外領域のスペクトラムをほとんど含まない白色蛍光灯と、紫外領域から赤外領域まで幅広いスペクトラムを有する太陽光とをセンシングした場合、実際の照度は同じでも各々の光の検知結果が異なる、という問題がある。

【0003】

一方、アモルファスシリコンを用いる光センサは、赤外領域の光に対してほとんど感度がなく、可視光領域の波長の中央である 580～600 nm 近傍において感度が最も高く、人間の視感度に近似したセンシング特性を有する。このため、光センサとしては、アモルファスシリコンを用いたものが好ましい。

【0004】

アモルファスシリコンを利用する光センサとしては、1) 抵抗型 2) ダイオード型に大きく分けることができる。抵抗型は、トランジスタとしての増幅作用があるために大きい電流を得ることができるが、増幅して発生する光電荷が多いため光が遮断された後も、増幅された光電荷が消滅あるいは収集されないために応答速度が悪いことと光の明暗によるダイナミックレンジが小さい。

【0005】

一方、ダイオード型光センサは、アモルファスシリコン内に空乏層が広がり、光が入射された時に発生する光電荷が収集しやすく、増幅作用がないために応答速度が速く、光の明暗によるダイナミックレンジが大きい。しかし、光電荷による電流が小さいため、電荷保持用としてのキャパシタまたは光電荷を増幅して出力する素子が必要になる。

【0006】

光センサで検出した電流を時分割で出力信号として増幅して出力する素子（以下、増幅素子と示す。）としては、単結晶半導体（主にシリコン半導体）の電界効果トランジスタを用いるベア IC 型と、チャネル形成領域に薄膜のアモルファスシリコンあるいはポリシリコンを用いた薄膜トランジスタを用いる TFT 型とがある。

【0007】

IC 型光センサは、増幅素子としての速度ならびに信頼性が高いが、光センサ

と同数の増幅素子がベアチップ IC として必要になるために、コストが非常に高い。また、アモルファスシリコンなどの光電変換素子（光電変換層）を形成する基板と、ベア IC チップとの双方が必要になるために、プリント配線基板等の設置基板に占める面積が広くなり、光センサを搭載した電子機器の小型化の障害要因になる。

【0008】

一方、TF T 型光センサは、増幅素子である TF T の活性領域と光電変換素子の光電変換層とを、同一基板上に形成することができるため、プリント配線基板等の設置基板に占める面積を狭めることができ、この結果、光センサを搭載した電子機器の小型化が容易である。また、単結晶シリコンを用いた IC 型光センサと比較してコストが安価である。

【0009】

増幅素子である TF T の活性領域にポリシリコンを用いると、光電変換素子の光電変換層をアモルファスシリコンで形成する以外にポリシリコンの形成が必要となる。このため、アモルファスシリコンを活性領域に用いた TF T を増幅素子に用いるものより製造工程が増加する。しかし、ポリシリコンを用いた TF T は、アモルファスシリコンを用いた TF T よりもの電気特性が高いため、増幅素子としての高速応答が可能である。このために、光電変換素子の光電変換層をアモルファスシリコンで形成し、増幅素子をポリシリコン TF T で形成する光センサが、微弱な光電流をも検出するのに有効である。（例えば、特許文献 1）。

【0010】

【特許文献 1】

特開平 6—275808 号公報（第 3—4 頁、第 1 図）

【0011】

【発明が解決しようとする課題】

特許文献 1 に示されるような、増幅素子をポリシリコンを活性領域に有する TF T で形成された光センサは、基板に制約があり、シリコンの結晶化温度又は活性化温度に耐えうる基板、たとえば石英、ガラス等しか用いることができなかった。これは、シリコンの結晶化又は活性化に、比較的高い温度（例えば、500

℃以上)の加熱工程が必要とされるためである。このため、光センサの部品容積、及び重量が増大してしまうという問題が生じていた。

【0012】

また、ガラス等には可撓性がないため、光センサの設置場所は平坦な部分、具体的にはプリント配線基板上であり、設置場所に制限があった。このため、軽量で薄く、好ましくは可撓性を有するプラスチック等を光センサの基板に用いる試みがなされている。

【0013】

一方、プラスチックは、軽量で薄い耐熱温度の低く、ポリシリコンを活性領域に有するTFTを形成することができないという問題があった。

【0014】

本発明は、軽量で薄く、好ましくは可撓性を有する基板又は有機部材上に、ポリシリコンを活性領域に有する半導体素子及びアモルファスシリコンを活性領域に有する半導体素子で形成される半導体装置、代表的には光センサ、光電変換素子、太陽電池素子を有する半導体装置を作製することを課題とする。

【0015】

【課題を解決するための手段】

本発明は、第1の基板上に金属膜、金属酸化膜、絶縁膜及び水素を含む非晶質半導体膜を順に形成し、加熱処理を施して前記金属酸化物膜及び前記非晶質半導体膜を結晶化し、該結晶化された半導体膜を活性領域に用いて第1の半導体素子を形成した後、前記第1の半導体素子上に第1の接着材を用いて支持体を接着し、前記金属膜と前記金属酸化膜との間、前記金属酸化膜内、又は前記金属酸化膜と前記絶縁膜との間で剥離し、前記剥離された絶縁膜又は前記剥離された金属酸化膜に第2の基板を接着したのち、前記第1の接着材を除去して前記支持体を剥離し、前記第1の半導体素子上に非晶質半導体膜を形成し、該非晶質半導体膜を活性領域に用いる第2の半導体素子を形成することを特徴とする。

【0016】

本発明は、第1の基板上に金属膜、金属酸化膜、絶縁膜及び水素を含む非晶質半導体膜を順に形成し、加熱処理を施して前記金属酸化物膜及び前記非晶質半導

体膜を結晶化し、該結晶化された半導体膜を活性領域に用いて第1の半導体素子を形成し、前記第1の半導体素子上に非晶質半導体膜を形成して、該非晶質半導体膜を活性領域に用いる第2の半導体素子を形成し、該第2の半導体素子上に第1の接着材を用いて支持体を接着し、前記金属膜と前記金属酸化膜との間、前記金属酸化膜内、又は前記金属酸化膜と前記絶縁膜との間で剥離し、前記剥離された絶縁膜又は前記剥離された金属酸化膜にプラスチック基板を接着したのち、前記第1の接着材を除去して前記支持体を剥離することを特徴とする。

【0017】

本発明で形成された半導体装置は、接着材を用いて第3の基板上に設けられており、結晶質半導体膜を活性領域に用いる第1の半導体素子及び非晶質半導体膜を活性領域に用いる第2の半導体素子を有することを特徴とする。

【0018】

なお、前記第1の半導体素子は、薄膜トランジスタであり、前記第2の半導体素子は、ダイオード又は薄膜トランジスタである。

【0019】

また、前記加熱処理は水素を含む非晶質半導体膜中の水素を放出または拡散する温度以上で行う。

【0020】

また、前記金属膜は、W、Ti、Ta、Mo、Cr、Nd、Fe、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os、Ir、Ptから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層、またはこれらの金属または混合物の積層である。なお、金属膜の合金の金属組成比又は金属膜に含まれる酸素、又は窒素の組成比を適宜調節することにより、後の剥離工程の条件が異なる。このため、剥離工程を様々なプロセスに適応することが可能となる。

【0021】

また、前記絶縁膜は、スパッタリング法により形成された酸化シリコン膜、酸化窒化シリコン膜、又は金属酸化膜である。

【0022】

また、前記第1の基板は、耐熱性を有する基板であり、代表的には、ガラス基板、石英基板等を用いることができる。

【0023】

前記第2の基板は、プラスチック基板又は有機樹脂部材である。代表的には、プラスチック基板PET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）、PES（ポリエーテルサルファイド）、ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、またはポリフタルアミドからなるプラスチック基板が挙げられる。また、有機樹脂で形成される部材、代表的にはICチップが封止されたパッケージの表面を基板とすることも可能である。また、第2の基板の表面は平面である必要はなく、凹凸又は曲面を有するものでもよい。

【0024】

本発明において、前記半導体装置は、光センサ、光電変換素子、又は太陽電池素子を有する。

【0025】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。

【0026】

（実施の形態1）

本実施の形態では、プラスチック基板上にアモルファスシリコン膜を活性領域に有する半導体素子及びポリシリコン膜を活性領域に有する半導体素子を含む半導体装置の作製方法に関して述べる。

【0027】

始めに、基板101上に金属膜を形成する。金属膜102としては、W、Ti

、Ta、Mo、Cr、Nd、Fe、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os、Ir、Ptから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層、またはこれらの積層、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層、またはこれらの積層を用いればよい。窒化物膜または金属膜102の膜厚は10nm～200nm、好ましくは50nm～75nmとする。

【0028】

次に、金属膜又は窒化物膜102上に絶縁膜103を形成する。このとき、金属膜102と絶縁膜103との間にアモルファス状態の金属酸化膜100が2nm～5nm程度形成される。後の工程で剥離する際、金属酸化膜中、または金属酸化膜と絶縁膜との界面、または金属酸化膜と金属膜との界面で分離が生じる。絶縁膜103としては、スパッタリング法により、酸化シリコン、酸化窒化シリコン、金属酸化材料からなる膜を形成すればよい。絶縁膜103の膜厚は、窒化物膜または金属膜102の約2倍以上、好ましくは、150nm～200nmであることが望ましい。

【0029】

次に、絶縁膜103上に、少なくとも水素を含む材料の膜を形成する。少なくとも水素を含む材料の膜としては、半導体膜または窒化物膜等を適応することができる。本実施の形態では、半導体膜を形成する。この後、水素を含む材料の膜中に含まれる水素を拡散するための熱処理を行う。この熱処理は410℃以上であればよく、ポリシリコン膜の形成プロセスとは別途行ってもよいし、兼用させて工程を省略してもよい。例えば、水素を含む材料膜として水素を含むアモルファスシリコン膜を用い、加熱してポリシリコン膜を形成する場合、結晶化させるため500℃以上の熱処理を行えば、ポリシリコン膜を形成すると同時に水素の拡散を行うことができる。

【0030】

次に、公知の手法により、ポリシリコン膜を所望の形状にエッチングし、TF Tを形成する。図1(A)のTF T104においては、ソース領域、ドレイン領域、チャンネル形成領域を有するポリシリコン膜105、ポリシリコン膜を覆うゲ

ート絶縁膜、ポリシリコン膜のチャネル形成領域上に形成されたゲート電極 106、層間絶縁膜を介してソース領域及びドレイン領域に接続されたソース電極 107 及びドレイン電極 108 を有する。

【0031】

次に、TFT のドレイン電極上に光電変換素子を形成する。本実施の形態では、光電変換素子としてダイオードを形成する。まず始めに、ソース電極 107 に接続する第 1 の電極 110 を形成し、その上に光電変換層であるアモルファスシリコン膜 111 及び第 2 の電極 112 を形成する。この後、アモルファスシリコン膜及び第 2 の電極を所望の形状にエッチングしてダイオードを形成する。この後、ダイオードの第 2 の電極に接続する配線 113 を形成するとともに、ドレイン電極 108 に接続され、かつ出力端子に接続される配線 114 を形成する。

【0032】

次いで、半導体膜を固定する支持体となる第 2 の基板 115 を接着材 116 で貼りつける。なお、第 2 の基板 115 は、第 1 の基板 101 よりも剛性の高い基板を用いることが好ましい。また、接着材 116 としては、有機材料からなる接着剤を用いればよい。このとき、有機材料からなる接着材に水溶性樹脂 116a を塗布し、その上に両面が反応剥離型接着材で覆われた部材 116b（以下、両面シートと記す。）を接着して TFT 及び第 2 の基板を接着してもよい。この場合、比較的小さな力で引き剥がすことができる。有機材料からなる接着材としては、反応剥離型接着剤、熱剥離型接着剤、紫外線剥離型接着剤等の光剥離型接着剤、嫌気剥離型接着剤などの各種剥離型接着剤が挙げられる。

【0033】

図 1（B）において、第 1 の基板 101 及びそれに形成された金属膜 102 を剥離体 150 と呼ぶ。また、絶縁膜 103 からダイオードの第 2 の電極に接続する配線 113 及び外部端子に接続される配線 114 までの層を被剥離体 151 という。

【0034】

次いで、第 1 の基板 101 の金属膜 102 と絶縁膜 103 とを、物理的手段により引き剥がす。金属酸化膜内 100、絶縁膜 103 と金属酸化膜 100 の界面

又は金属酸化膜 100 と金属膜 102 との界面で剥離が生じ、剥離体 150 と被剥離体 151 とを、比較的小さな力で引き剥がすことができる。

【0035】

こうして、被剥離体 151 を剥離体 150 から分離することができる。

【0036】

次いで、図 1 (C) に示すように、接着材 118 で第 3 の基板 117 と絶縁膜 103 (すなわち被剥離体 151) とを接着する。第 3 の基板 118 としては、プラスチック基板、または有機樹脂で形成される部材を用いる。プラスチック基板としては、PET (ポリエチレンテレフタレート)、PEN (ポリエチレンナフタレート)、PES (ポリエーテルサルファイド)、ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、またはポリフタールアミドからなるプラスチック基板を用いることが好ましい。

【0037】

接着材 118 としては、有機材料からなる接着材 116 による第 2 の基板 115 と被剥離層 151 との密着性よりも、絶縁膜 102 (及び被剥離層) と第 3 の基板 117 との密着性のほうが高い材料であることが重要である。

【0038】

接着材 118 としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤が挙げられる。

【0039】

次に、図 1 (D) に示すように被剥離体 151 から接着材 116 及び第 2 の基板 115 を剥離する。有機材料からなる接着材 116 を、熱反応、光反応、湿度による反応、または化学反応 (例えば、水、酸素等) させて、有機材料からなる接着材 116 及び第 2 の基板 115 を被剥離体 151 から剥離する。

【0040】

以上の工程により、図 1 (E) に示すように、プラスチック基板上に、ポリシリコン膜からなる TFT とアモルファスシリコン膜からなる素子、本実施の形態ではダイオードを有する半導体装置を形成することができる。

【0041】

次に、本発明をプリント配線基板に実装する方法を図11を用いて述べる。なお、図1と同じの部位は同じ符号を用いて説明する。

【0042】

図11(A)は、本実施の形態により形成した半導体装置をダイシングにより分割したものの上面図である。本実施の形態により作製した半導体装置1100の表面には、配線113、114、1101、及び該配線をプリント配線基板上に形成された配線と電氣的に接続するための接続配線1102～1104が形成されている。

【0043】

図11(B)は、該半導体装置をプリント配線基板1110に実装したときの図11(A)の(I)－(I)‘の断面図である。プラスチック基板117上に、ポリシリコン膜からなるTFTとアモルファスシリコン膜からなるダイオードが形成されており、配線113、114、1101(図示せず。)にそれぞれ接続された接続配線1102、1103、1104(図示せず。)が、半導体装置の表面端部から側面を経て裏面まで設けられている。配線113は、ダイオードの電極に接続される配線、配線114は、TFTのドレイン電極に接続される配線、配線1102は、TFTのゲート電極に接続される配線である。なお、接続配線1102、1103、1104は、金、銅、ニッケル、白金、銀等の元素を含む導電膜であり、蒸着法又はメッキ等の公知の技術を用いることにより形成することができる。

【0044】

接続配線1102～1104は、外部端子1105、1106を介してプリント配線基板上に設けられた配線(1107、1108)と接続して実装する。なお、外部端子1105、1106は、金属(金、銀、半田等)で形成されるバンプ、又は導電性樹脂で形成されるバンプ等を用いることができる。

【0045】

図11(C)及び図11(D)は、図11(A)及び図11(B)と異なる実装方法を示したものである。なお、図1、図11(A)及び図11(B)と同じの部位

は同じ符号を用いて説明する。

【0046】

図11 (C) は、本実施の形態により形成した半導体装置をダイジングにより分割したものの上面図である。本実施の形態により作製した半導体装置1100の表面には、図1 (A) と同様に配線113、114、1101が形成されており、該配線をプリント配線基板上に形成された配線と電氣的に接続するための接続配線1112～1114が形成されている。

【0047】

図11 (D) は、該半導体装置をプリント配線基板1110に実装したときの図11 (C) の (ロ) - (ロ) 'の断面図である。プラスチック基板117上に、ポリシリコン膜からなるTF Tとアモルファスシリコン膜からなるダイオードが形成されており、配線113、114、1101 (図示せず。) にそれぞれ接続された接続配線1112、1113、1114 (図示せず。) が、形成されている。また、該半導体装置を貫通したエッチングホール1117、1118が、トレンチエッチング等の公知の手法により形成されており、該ホールを介して、導電材1112、1113、1114 (図示せず。) によって、配線113、114、1101と外部端子1115、1116とが電氣的に接続されている。また、外部端子とプリント配線基板上に設けられた配線 (1107、1108) とを接続して実装する。なお、導電材1112～1114及び外部端子1115、1116は、図11 (B) と同様のものを用いて形成することができる。

【0048】

本実施の形態で作製した半導体装置は、光センサ又は光電変換素子として機能することが可能であり、ダイオードに入射した光は、光電変換層に吸収され光電荷を形成する。この光によって形成された光電荷の量は、光電変換層に吸収された光の量に依存する。光によって形成された光電荷がTF Tで増幅され、検出される。

【0049】

本実施の形態では、ダイオードの構成として、アノード電極とカソード電極の間に光電変換層を挟んだショットキー型のものを用いている。ここでは光を電気

信号に変換する光電変換素子として、上記構成のダイオードに限らず、PIN型や、PN型のダイオードや、アバランシェダイオード等を用いることもできる。

【0050】

なお、PIN型のフォトダイオードは、p型半導体層と、n型半導体層と、p型半導体層とn型半導体層の間に挟まれたi型（真性）半導体層によって構成されている。

【0051】

また、光電変換素子として、有機物から構成される光電変換層等を有するもの、具体的には透明なITO電極と、その上に真空蒸着された有機顔料（ペリレン顔料：Me-PTC）と、その上に形成された金の電極等を用いても良い。

【0052】

更に、光電変換素子としてアモルファスシリコンを活性領域に有するTFTを用いることもできる。

【0053】

本実施の形態により作製した半導体装置は、軽量で薄い基板を用いることができるので、従来の半導体装置よりも容積が小さく軽量化となる。この結果、これらの半導体装置を用いた電子機器の小型化及び軽量化が図れる。

【0054】

なお、本実施の形態では、第3の基板118としては、プラスチック基板、代表的にはレキシブルなプラスチック基板を用いているが、これ以外にもICチップ等が封止されたパッケージの有機樹脂等にも貼りあわせることができる。この場合、プリント配線基板に占める部品の面積を縮小することができる。すなわち、プリント配線基板の面積を縮小することができる。

【0055】

（実施の形態2）

本実施の形態では、実施の形態1と異なる方法で、プラスチック基板、代表的には可撓性プラスチック基板上に半導体装置を作製する方法を述べる。

【0056】

実施の形態1と同様に、第1の基板201上に金属膜202、絶縁膜203、

及びTF T 204を順次形成する。このとき、実施の形態1と同様に金属膜202と絶縁膜203との間に、アモルファス状態の金属酸化膜200が2nm～5nm程度形成される。

【0057】

次に、TF T及びその層間絶縁膜上に有機樹脂からなる接着材208を用いて第2の基板207を接着する。有機樹脂からなる接着材は、実施の形態1と同様のものを用いることができる。本実施の形態では、有機材料からなる接着材に水溶性樹脂208aを塗布し、その上に両面が反応剥離型接着材で覆われた部材208b（以下、両面シートと記す。）を接着し、更にその上に第2の基板207を接着する。

【0058】

図2（B）において、第1の基板201及び金属膜202は剥離体250であり、絶縁膜203及びTF T 204は被剥離体251である。実施の形態1と同様に金属膜202と絶縁膜203との間、即ち剥離体250と被剥離体251を物理的手段により引き剥がす。金属酸化膜内200、絶縁膜203と金属酸化膜200との界面又は金属酸化膜200と金属膜202との間で剥離が生じ、剥離体250と被剥離体251とを、比較的小さな力で引き剥がすことができる。

【0059】

次いで、図2（C）に示すように、接着材209で第3の基板210と絶縁膜203（すなわち、被剥離体251）とを接着する。第3の基板210及び接着材209は、実施の形態1と同様のものを用いることができる。

【0060】

次いで、図2（D）に示すように、両面シート208bから第2の基板207を分離させたのち、両面テープ208bを剥がす。なお、両面シート208bと第2の基板207とを同時に水溶性樹脂208aから剥がしてもよい。

【0061】

次いで、水を用いて水溶性樹脂208aを溶かして除去する。ここで水溶性樹脂が残っていると不良の原因となるため、ソース電極213及びドレイン電極214の表面を洗浄処理やO₂プラズマ処理で清浄な表面とすることが好ましい。

【0062】

次に、図2（E）に示すようにソース電極213上に光電変換素子211を、ドレイン電極214上に出力端子に接続される配線212を形成する。本実施の形態では、実施の形態1と同様にダイオードからなる光電変換素子を形成する。ダイオードの作製方法は、公知の手法を用いればよい。

【0063】

なお、本実施の形態では、光電変換素子にダイオードを用いたがこれに限定されるものではなく、アモルファスシリコンを活性領域に有するTFTでもよい。

【0064】

以上の工程により、プラスチック基板上に、ポリシリコン膜を活性領域に有するTFTとアモルファスシリコン膜を活性領域に有する素子、本実施の形態ではダイオードを有する半導体装置を形成することができる。

【0065】

なお、本実施の形態においても、実施の形態1で示したような実装方法を適応して、プリント配線基板に本実施の形態で形成した半導体装置を実装することができる。

【0066】**【実施例】****（実施例1）**

本実施例では、実施の形態2の工程を用いてポリシリコン膜を活性領域に有するTFTと、アモルファスシリコン膜を活性領域に有するダイオードを含む光センサを作製する例を、図3を用いて説明する。なお、本実施例の光センサは、非蓄電型光センサである。

【0067】

図3（A）に示すように、ガラス基板（第1の基板300）上にTFTを形成する。スパッタリング法でガラス基板上に金属膜301、ここではタングステン膜（膜厚80nm）を形成し、さらに大気にふれることなく、絶縁膜302、ここでは酸化シリコン膜（膜厚160nm）を積層形成する。このとき、タングステン膜301と酸化シリコン膜302との間に、アモルファス状態の酸化タング

ステン膜 308 が 2 nm ～ 5 nm 程度形成される。なお、スパッタリング法では基板端面に成膜されるため、基板端面に成膜されたタングステン膜と酸化シリコン膜とを O₂ アッシングなどで選択的に除去することが好ましい。後の工程で剥離する際、タングステン膜と酸化タングステン膜との界面、酸化タングステン膜内、又は酸化タングステン膜と酸化シリコン膜との界面で分離が生じる。

【0068】

次いで、PCVD 法で下地絶縁膜となる酸化窒化シリコン膜 303 (膜厚 100 nm) を形成し、さらに大気にふれることなく、アモルファスシリコン膜 (膜厚 54 nm) を積層形成する。

【0069】

次に、公知の技術 (固相成長法、レーザー結晶化方法、触媒金属を用いた結晶化方法など) を用いてポリシリコン膜を形成した後、パターンニングを行って所望の形状を有するポリシリコン領域を形成し、それを活性領域とする TFT 304 を作製する。適宜、ゲート絶縁膜の形成、ゲート電極の形成、活性領域へのドーピングによるソース領域またはドレイン領域の形成、層間絶縁膜の形成、ソース電極またはドレイン電極の形成、活性化処理などを行う。本実施例において、TFT には、P 型 TFT を形成する。

【0070】

図 3 (A) において、以上第 1 の基板 300 及びそれに形成されたタングステン膜 301 を剥離体 350 と呼ぶ。また、酸化シリコン膜 103 から TFT 304 までの層を被剥離体 351 という。

【0071】

次いで、水またはアルコール類に可溶な接着材 305 を全面に塗布し、焼成する。この接着材の組成としては、例えば、エポキシ系、アクリレート系、シリコン系等いかなるものでもよい。ここではスピコートで水溶性樹脂 (東亜合成製: VL-WSHL10) からなる膜 (膜厚 30 μm) 305 を塗布し、仮硬化させたの本硬化させる。

【0072】

次いで、後の剥離を行いやすくするために、タングステン膜 301 と酸化シリ

コン膜 302 との密着性を部分的に低下させる処理を行う。密着性を部分的に低下させる処理は、剥離しようとする領域の周縁に沿ってタングステン膜 301 または酸化シリコン膜 302 にレーザー光を部分的に照射する処理、或いは、剥離しようとする領域の周縁に沿って外部から局所的に圧力を加えて酸化タングステン膜 301 の膜内または界面の一部に損傷を与える処理である。具体的にはダイヤモンドペンなどで硬い針を垂直に押しつけて荷重をかけて動かせばよい。好ましくは、スクライバー装置を用い、押し込み量を 0.1 mm ~ 2 mm とし、圧力をかけて動かせばよい。このように、剥離を行う前に剥離現象が生じやすくなるような部分、即ち、きっかけをつくることが重要であり、密着性を選択的（部分的）に低下させる前処理を行うことで、剥離不良がなくなり、さらに歩留まりも向上する。

【0073】

次いで、両面シート 306 を用い、水溶性樹脂からなる膜 305 に第 2 の基板 307 を貼り付ける。さらに、両面シート 306 を用い、第 1 の基板 300 に第 3 の基板 310 を貼り付ける。（図示しない）。第 3 の基板は、後の剥離工程で第 1 の基板 300 が破損することを防ぐ。第 2 の基板 307 および第 3 の基板としては、第 1 の基板 300 よりも剛性の高い基板、例えば石英基板等を用いることが好ましい。

【0074】

次いで、上記密着性を部分的に低下させた領域側から剥離させ、タングステン膜 301 が設けられている第 1 の基板 300 を物理的手段により引き剥がす。本実施例では、酸化タングステン膜 308 内で、剥離が起きる。比較的小さな力（例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等）で引き剥がすことができる。こうして、酸化シリコン膜 302 上に形成された被剥離層 351 を第 1 の基板 300 から分離することができる。

【0075】

本実施例では、酸化シリコン膜表面に酸化タングステンが残留しているため、これを、ドライエッチング等で除去する。なお、酸化タングステン膜は、除去しなくともよい。

【0076】

次いで、接着材 311 で第 4 の基板 312 と酸化シリコン膜 302（及び被剥離層 351）とを接着する。剥離後の状態を図 3（B）に示す。接着材 311 としては、両面テープ 306 による第 2 の基板 307 と被剥離層との密着性よりも、酸化物膜 302（及び被剥離層 315）と第 4 の基板 312 との密着性のほうが高いことが重要である。

【0077】

第 4 の基板 312 としては、ポリエチレンテレフタレート基板（PET 基板）を用いる。また、接着材 311 としては、熱硬化型接着剤を用いる。

【0078】

次いで、両面シート 306 から第 2 の基板 307 を分離させたのち、両面シート 307 を水溶性樹脂 306 から剥がす。

【0079】

次いで、水を用いて水溶性樹脂 306 を溶かして除去する。このときの状態を、図 3（C）に示す。ここで水溶性樹脂が残っていると、不良の原因となるため、TFT のソース電極 313、ドレイン電極 314 の表面を、洗浄処理や O₂ プラズマ処理で清浄な表面とすることが好ましい。

【0080】

次に、図 3（D）に示すように、TFT のソース電極及びドレイン電極にそれぞれ接続する配線 341、342 を形成した後、層間絶縁膜を介して、TFT のゲート電極 315 に接続する配線 343 を形成する。ゲート電極に接続される配線 315 は、TFT の活性領域であるポリシリコン領域を覆い、遮光膜としての機能をも有することが好ましい。なお、ソース電極に接続する配線 341 は、電源線（図 4 の 406）に接続され、ドレイン電極に接続する配線 342 は、第 2 の抵抗（図 4 の 404）及び出力端子（図 4 の 408）に接続されている。この後、ダイオードのアノード電極を形成する。アノード電極 344 は、TFT のゲート電極に接続する配線 343 及び第 1 の抵抗（図 4 の 403）に接続されており、本実施例では Ni を含む薄膜で形成されている。

【0081】

次いで、アノード電極上に、プラズマCVD法によってP、I、N各導電層を有するシリコン膜345の成膜を行う。ここで、P、Nの導電型層は電気伝導率を上げるために微結晶層とし、I型導電層は非晶質層とし、積層されるシリコン薄膜の膜厚を800nmとする。なお、アノード電極に接する層より順にP層、I層、N層とし、N層上にカソード電極を形成する。本実施例では、カソード電極にITOを用いる。

【0082】

次に、層間絶縁膜を介してカソード電極に接続し、かつ電源線(図4の406)に接続する配線347を形成する。なお、図示していないが、TFTのソース電極に接続する配線341が電源線(図4の406)と接続する配線と、ドレイン電極と接続する配線342が第2の抵抗(図4の404)及び出力端子(図4の408)に接続する配線とが層間絶縁膜表面に露出している。

【0083】

この後、異方導電性フィルム(FPC:Flexible Printed Circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)を用いてプリント配線板と光センサの出力端子とを接続する。

【0084】

図8は、本実施例を適応した電子機器のモジュールの上面図、その断面図である。

【0085】

図8(A)に、パネル800が実装されたモジュールの外観図を示す。パネル800には、画素部803と、前記画素部803が有する画素を選択する走査線駆動回路804と、選択された画素にビデオ信号を供給する信号線駆動回路805とが設けられている。

【0086】

またプリント基板806にはコントローラ801、電源回路802、FPC809を介して設けられた光センサ810が設けられており、コントローラ801または電源回路802から出力された各種信号及び電源電圧は、FPC807を

介してパネル 800 の画素部 803、走査線駆動回路 804、信号線駆動回路 805 に供給される。

【0087】

プリント基板 806 への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース (I/F) 部 808 を介して供給される。

【0088】

図 8 (A) における (K) - (K') の断面図を図 8 (B) に示す。本実施例においては、プリント基板配線との接続に FPC を用いているため、光センサ 810 をプリント配線基板上に設置された IC チップ 811、又は CPU 等のパッケージの上に設置することができ、光センサの受光面積を拡大すると共に、プリント配線基板の面積を縮小することが可能となる。

【0089】

次に、本実施例により形成される非蓄電型の光センサの回路図を、図 4 に示す。図 3 におけるダイオード (アノード電極 341、シリコン半導体膜 345、カソード電極 346) は、図 4 の 401 である。なお、ダイオードのカソード電極は、電源線 406 に接続され、アノード電極は、第 1 の抵抗 403 及び TFT 402 のゲート電極 407 に接続される。また、TFT のソース電極は、電源線 406 に接続され、ドレイン電極は出力端子 408 及び第 2 の抵抗 404 に接続する。ダイオード 401 において生じた起電力が TFT 402 のゲート電極 407 に印加される。このとき、TFT 402 及び第 2 の抵抗 404 に流れる電流を、抵抗により電圧変換し、出力端子 408 及び接地電位の電圧差で検出する。

【0090】

本実施例においては、TFT に接続するダイオードのアノード電極を Ni、カソード電極を ITO としたが、この構造に制限されない。アノード電極を、透光性を有する導電膜とし、カソード電極を金属電極としてもよい。この場合、TFT に光が入射すると、TFT に影響を与えるので、シリコン膜の下方部に遮光膜を形成することが好ましい。

【0091】

本実施例においては、プリント配線基板に光センサを接続するために異方導電

性フィルムを用いているが、これに限るものではない。半田等の導電性を有するペーストを用いて接続することも可能である。

【0092】

本実施例により形成された光センサは、アモルファスシリコンで形成されたダイオードとポリシリコンで形成されたTFTの増幅素子を有しているため、光電変換層（受光層）の面積が狭くても、即ち小型でも微弱な光を検出可能である。また、プラスチック基板上に形成されているため、従来のものと比べて軽量で薄型化が可能である。また、プリント基板配線との接続に異方導電性フィルムを用いると、プリント基板配線上に設置されたICチップ、又はCPU等のパッケージの上に設置することができ、光センサの受光面積を拡大すると共に、プリント配線基板の面積を縮小することが可能となる。

なお、本実施例は、実施の形態2を用いているが、実施の形態1と組み合わせることも可能である。

【0093】

（実施例2）

本実施例では、実施の形態2の工程を用いてポリシリコンを活性領域に有するTFTとアモルファスシリコンを活性領域に有するダイオードとで構成される光センサを作製する例を、図9を用いて説明する。なお、本実施例の光センサは蓄電型光センサであり、光センサの1画素である1ビットを複数用いることにより、ファクシミリ、スキャナ、X線等の放射線の画像を読み取ることが可能であり、高性能且つ大面積の光電変換装置を作製することができる。

【0094】

図9（A）に示すように、ガラス基板（第1の基板900）上に実施例1と同様に金属膜901及び絶縁膜902を形成する。本実施例では、金属膜901にタングステン膜（膜厚10nm～200nm、好ましくは50nm～75nm）を形成し、さらに大気にふれることなく、絶縁膜902、ここでは酸化シリコン膜（膜厚150nm～200nm）を積層形成する。

【0095】

次いで、PCVD法で下地絶縁膜となる酸化窒化シリコン膜903（膜厚10

0 nm) を形成し、さらに大気にふれることなく、アモルファスシリコン膜 (膜厚 54 nm) を積層形成する。このとき、タングステン膜 901 と酸化シリコン膜 901 との間に、アモルファス状態の酸化タングステン膜 915 が 2 nm ~ 5 nm 程度形成される。

【0096】

アモルファスシリコン膜は水素を含んでおり、加熱してポリシリコン膜を形成する場合、結晶化させるため 500℃ 以上の熱処理を行えば、ポリシリコン膜を形成すると同時に水素の拡散を行うことができる。得られたポリシリコン膜を用いて、TF T を形成することができる。このとき、アモルファス状態の酸化タングステン膜 915 も結晶化される。

【0097】

ここでは、公知の技術 (固相成長法、レーザー結晶化方法、触媒金属を用いた結晶化方法など) を用いてポリシリコン膜を形成する。次に、ポリシリコン膜をパターニングを行って所望の形状のシリコン領域を形成し、それを活性領域とする TF T 904 を作製する。適宜、ゲート絶縁膜の形成、ゲート電極の形成、活性領域へのドーピングによるソース領域またはドレイン領域の形成、層間絶縁膜の形成、ソース電極またはドレイン電極の形成、活性化処理などを行う。本実施例において、TF T には、P 型 TF T を形成する。

【0098】

次に、TF T 904 のソース電極 905 に接続する配線 907 を形成する。なお、ソース電極 905 に接続する配線 907 は、ダイオードのアノード電極である。

【0099】

次いで、アノード電極 907 上に、プラズマ CVD 法によって P, I, N 各導電膜を有するシリコン半導体膜 909 の成膜を行う。ここで、P, I, N 各導電層を有するシリコン半導体膜は、実施例 1 と同様の工程により作製することができる。こののち、シリコン半導体膜上にカソード電極 914 を形成する。本実施例では、カソード電極に ITO を用いる。

【0100】

次に、層間絶縁膜を介してカソード電極に接続する配線 910 及び TFT のドレイン電極 906 に接続する配線 908 を形成する。配線 910 は電源線（図 10（A）の 1002）に接続されており、配線 908 は、信号配線（図 10（A）の 1004）に接続されている。

【0101】

図 9（A）において、ガラス基板 900 及びその上に形成された金属膜 901 を剥離体 950 と呼ぶ。また、酸化物膜 903 からダイオード及びダイオードのカソード電極に接続する配線 910 までの層を被剥離体 951 という。

【0102】

次いで、水またはアルコール類に可溶な接着材 911 を被剥離体全面に塗布し、焼成する。この接着材の組成としては、例えば、エポキシ系、アクリレート系、シリコン系等いかなるものでもよい。ここではスピコートで水溶性樹脂（東亜合成製：VL-WSHL10）からなる膜（膜厚 30 μ m）を塗布し、仮硬化させたのち本硬化させる。

【0103】

次いで、後の剥離を行いやすくするために、金属膜 901 と酸化物膜 902 との密着性を部分的に低下させる処理を行う。この工程は、実施例 1 と同様のものによりよい。

【0104】

次いで、両面シート 912 を用い、水溶性樹脂からなる膜 911 に保持用の基板 913 を貼り付ける。次いで、上記密着性を部分的に低下させた領域側から剥離させ、金属膜 901 が設けられているガラス基板 900 を物理的手段により引き剥がす。本実施例では、酸化タングステン膜 308 内で、剥離が起きる。なお、酸化シリコン膜表面に酸化タングステンが残留する場合は、ドライエッチング等で酸化タングステンを除去することが好ましい。こうして、酸化物膜 902 上に形成された被剥離層 951 をガラス基板 900 から分離することができる。

【0105】

次いで、図 9（B）に示すように、接着材 921 でプラスチック基板 922 と酸化物膜 902（及び被剥離層 951）とを接着する。接着材 921 としては、

両面テープ 912 による保持用の基板 913 と被剥離層 951 との密着性よりも、酸化物膜 902 (及び被剥離層 951) とプラスチック基板 922 との密着性のほうが高いことが重要である。

【0106】

プラスチック基板 922 としては、ポリカーボネート基板 (PC 基板) を用いる。また、接着材 921 としては、熱硬化型接着剤を用いる。

【0107】

次いで、両面テープ 912 から保持用の基板 913 を分離させたのち、両面テープ 912 を水溶性樹脂 911 から剥がす。

【0108】

次いで、水を用いて水溶性樹脂 911 を溶かして除去する。ここで水溶性樹脂が残っていると、不良の原因となるため、ダイオードのカソード電極に接続されている配線 910 及び薄膜トランジスタのドレイン電極に接続された配線 908 の表面を洗浄処理や O₂ プラズマ処理で清浄な表面とすることが好ましい。

【0109】

この後、異方導電性フィルム (FPC: Flexible Printed Circuit)、TAB (Tape Automated Bonding) テープもしくは TCP (Tape Carrier Package) が取り付けられたモジュール、TAB テープや TCP を用いて、光センサの表面に露出している配線 908、910 をそれぞれ信号配線 (図 10 (A) 1004) 及び電源線 (図 10 (A) の 1002) に接続する。

【0110】

本実施例により形成される蓄電型の光センサの 1 画素である 1 ビットの等価回路を図 10 (A) に示す。図 10 (A) においては、アノード電極が電源線 1002 に接続され、かつカソード電極が TFT 1003 のソース電極に接続されたダイオード 1001 と、ダイオードに蓄積された光電荷をゲート電極の制御信号による転送スイッチ機能で転送する TFT 1003 から構成されている。TFT のドレイン電極は信号配線 1004 に接続され、ダイオードで発生した電荷は TFT を通して信号配線上の容量 (図示しない) に転送され、信号配線に接続され

た読み出し回路（図示しない）で、読み出される。

【0111】

図10（B）において図10（A）で示した1ビットの等価回路を3×3で配列した場合の等価回路を示す。図10（B）を用いて、駆動方法を示す。

【0112】

まず、シフトレジスタSR1のゲート信号線g1を活性化して1列目の画素の電荷転送用トランジスタT11-T13をオンし、ダイオードSS11-SS13の光電荷を信号配線S1-S3に出力する。次に、シフトレジスタSR2の転送スイッチM1-M3の制御信号を順次アクティブとし、バッファアンプ（Amp）で増幅したSS11-SS13の光電荷を時系列的にVoutにて読み出す。次に、シフトレジスタSR1のゲート信号線g2を活性化する、という手順を繰り返して、各画素、即ちダイオードの光電荷を読み出していく。

【0113】

本実施例においては、TF Tに接続するダイオードのアノード電極をNi、カソード電極をITOとしたが、この構造に制限されない。アノード電極を、透光性を有する導電膜とし、カソード電極を金属電極としてもよい。この場合、TF Tに光が入射すると、TF Tに影響を与えるので、シリコン膜の下方部に遮光膜を形成することが好ましい。

【0114】

また、光センサの表面に露出している配線910、908をそれぞれ電源線（図10（A）の1002）、及び信号配線を接続するために、異方導電性フィルムを用いているが、これに限るものではない。実施の形態1に示したような実装方法により接続することも可能である。

【0115】

以上の工程により、プラスチック基板上に複数の光センサからなる光電変換装置を形成することができる。すなわち、ポリシリコンを活性領域に有するTF Tとアモルファスシリコンを活性領域に有するダイオードを含む光センサを複数備えた光電変換装置を作製することができる。

【0116】

本実施例により形成された光電変換装置は、アモルファスシリコンで形成されたダイオードとポリシリコンで形成されたTFTの増幅素子からなる光センサを複数有しているため、光電変換層（受光層）の面積が狭くても、即ち小型でも微弱な光を検出可能であり、高感度かつ高精細である。また、プラスチック基板上に形成されているため、従来のものと比べて軽量で薄型化が可能である。また、シフトレジスタ等の駆動回路又は電源線との接続に異方導電性フィルムを用いると、プリント基板配線上に設置されたICチップ、駆動回路、電源回路等を構成するパッケージ等の上に設置することができ、光電変換装置の受光面積を拡大すると共に、プリント配線基板の面積を縮小することが可能となる。

【0117】

（実施例3）

ここでは、プラスチック基板上に、ポリシリコンを活性領域に有する半導体素子とアモルファスシリコンを活性領域に有する半導体素子とで構成される集積回路（IC）を有する電子機器、代表的にはICカードを作製する例を図5～図7を用いて説明する。本実施例では、ICカードとして図5に示すようなカード型計算機を用いて説明する。図5（A）は、カード型計算機の上面図、図5（B）は、プラスチック基板上に形成されたカード型計算機のモジュールの上面図である。なお、本実施例において、プラスチック基板には、キーボードパット503が公知の方法により設けられたものを用いる。図5（A）に示すように電源部に太陽電池501を用い、出力部の一部である表示部502にEL表示装置を用い、表示部の駆動回路504、入力部の一部であるキーボード503、中央集積回路505（CPU）やメモリー506、太陽電池に接続された電源回路507を有する計算機を及びその作製方法を説明する。

【0118】

図6に、ICカード、本実施例においてはカード型計算機のブロック図を示す。601は中央処理部（以下、CPUと示す）、602は制御部、603は演算部、604は記憶部（以下、メモリーと示す）、605は入力部、606は出力部、607は電源部である。

【0119】

演算部 603 と制御部 602 とを合わせたものが、CPU 601 であり、演算部 603 は、加算、減算の算術演算や AND、OR、NOT などの論理演算を行う算術論理演算部 (arithmetic logic unit, ALU)、演算のデータや結果を一時格納する種々のレジスタ、入力される 1 の個数を数え上げるカウンタなどから成り立っている。

【0120】

演算部 603 を構成する回路、例えば、AND 回路、OR 回路、NOT 回路、バッファ回路、またはレジスタ回路などは TFT で構成することができ、高い電界効果移動度を得るため、連続発振型のレーザー光を用いて結晶化を行った半導体膜を TFT の活性領域として作製すればよい。アモルファスシリコン膜に連続発振型のレーザー光を照射してポリシリコン膜を得る方法を用いてもよいし、アモルファスシリコン膜を加熱してポリシリコン膜を得た後に、連続発振型のレーザー光を照射してポリシリコン膜を得る方法を用いてもよいし、アモルファスシリコン膜に触媒となる金属元素を添加した後、加熱してポリシリコン膜を得た後に連続発振型のレーザー光を照射してポリシリコン膜を得る方法を用いてもよい。本実施例において、演算部 603 を構成する TFT のチャネル長方向とレーザービームの走査方向とを揃える。

【0121】

また、制御部 602 は記憶部 604 に格納された命令を実行して、全体の動作を制御する役割を担っている。制御部 602 はプログラムカウンタ、命令レジスタ、制御信号生成部からなる。また、制御部 602 も TFT で構成することができ、連続発振型のレーザー光を用いて結晶化を行ったポリシリコン膜を TFT の活性領域として作製すればよい。本実施例において、制御部 602 を構成する TFT のチャネル長方向とレーザービームの走査方向とを揃える。

【0122】

また、メモリー 604 は、計算を行うためのデータと命令を格納する場所であり、CPU で頻繁に実行されるデータやプログラムが格納されている。記憶部 604 は、主メモリ、アドレスレジスタ、データレジスタからなる。さらに主メモリに加えてキャッシュメモリを用いてもよい。これらのメモリは、SRAM、D

RAM、フラッシュメモリなどで形成すればよい。また、記憶部604もTFTで構成する場合には、連続発振型のレーザー光を用いて結晶化を行ったポリシリコン膜をTFTの活性領域として作製することができる。本実施例において、メモリー604を構成するTFTのチャンネル長方向とレーザービームの走査方向とを揃える。

【0123】

また、入力部605は外部からデータやプログラムを取り込む装置である。また、出力部606は結果を表示するための装置、代表的には表示装置である。

【0124】

また、電源部607は、CPU等処理するのに必要な電力を供給する装置である。本実施例では、電源部に、太陽電池を含む。なお、太陽電池で形成した電力を蓄える二次電池を有してもよい。エレクトロルミネッセンスディスプレイ（ELディスプレイ）を出力部606の表示装置に用いた場合、消費電力が低いいため駆動電力が低く、電源部の回路及び容量素子をTFTで作製することができる。この場合も、連続発振型のレーザー光を用いて結晶化を行ったポリシリコン膜をTFTの活性領域として作製することができる。本実施例において、電源部を構成するTFTのチャンネル長方向とレーザービームの走査方向とを揃える。

【0125】

TFTのチャンネル長方向とレーザービームの走査方向を揃えることによってバラツキの少ないCPUを絶縁基板上に作り込むことができる。また、回路設計や作製工程が複雑になるが、CPU、出力部、メモリー及び電源部を同一基板上に作り込むことができる。表示部においても各画素に配置される複数のTFTのチャンネル長方向とレーザービームの走査方向を揃えることが好ましい。

【0126】

以下に、ガラス基板上に形成したカード型計算機のモジュールをキーボードパッドが形成されたプラスチック基板上に転写する例を図7に示す。図7は、図5(B)における(L)-(L)'の断面図である。実施例1と同様に、ガラス基板701上にタングステン膜702を介して酸化シリコン膜703を形成する。このとき、タングステン膜702と酸化シリコン膜703との間に、アモルフ

アス状態の酸化タングステン膜 712 が 2 nm ~ 5 nm 程度形成される。次に、酸化シリコン膜の上に、アモルファスシリコン膜を形成する。この後、公知の方法により、結晶性シリコン膜を形成し、この膜を画素領域 751 の TFT、画素の駆動回路 752 TFT、CPU 753 の TFT、メモリー 755 の容量素子等の活性領域に用いる。こののち、公知の手法により、n チャネル型 TFT 705、707、709、p チャネル型 TFT 704、706、708、容量部 710、711、端子部（図示しない）などを形成する。n チャネル型 TFT 707 と p チャネル型 TFT 706、n チャネル型 709 と p チャネル型 TFT 708 をそれぞれ相補的に組み合わせれば CMOS 回路ができ、CPU、駆動回路等のさまざまな集積回路を構成することができる。なお、CPU、駆動回路等の活性領域の形成方法には、本実施例で述べたような連続発振型のレーザ光を用いた手法を用いることが好ましい。

【0127】

次に、電源回路の TFT（図示しない）のドレイン電極に接続される太陽電池 721 を電源部 754 に形成する。具体的には、電源回路の TFT に接続される導電膜 722 上に、アモルファスシリコン 723 で形成されるダイオードを形成する。なお、本実施例において、太陽電池の下方に太陽電池に接続された容量素子が形成されている。これは、太陽電池で生じた電気エネルギーを一次的に保持するためのものであり、これを備えることにより使用中に電気エネルギーがなくなることがなく、暗所でも使用することが可能である。

【0128】

次に、画素領域のスイッチング TFT 704 のドレイン電極に接続される画素 724 を形成する。本実施例においては、EL 表示装置を表示装置に用いる。なお、液晶表示装置等の公知の表示装置を用いることもできる。

【0129】

次いで、これらの素子を覆う絶縁膜を形成した後、引き回し配線や出入力端子などを適宜形成する。

【0130】

次いで、接着材 731（除去可能な接着材、例えば水溶性接着材、または両面

シート)で保持用の基板732を貼り付ける。(図7(A))。

【0131】

次いで、金属膜701と酸化物膜702との間に、機械的力を加えガラス基板701及びタングステン膜702を酸化シリコン膜から剥離する。本実施例では、酸化タングステン膜712内で、剥離が起きる。なお、酸化シリコン膜表面に酸化タングステンが残留する場合は、ドライエッチング等で酸化タングステンを除去してもよい。こののち、酸化物膜表面に接着材733を介して、キーボードパットが形成されたプラスチック基板734を固定する。

【0132】

次いで、接着材731を除去することによって保持用の基板732を除去する。(図7(B))。この後、表面にキーボードの数字や模様が記載されたシール等の保護膜を形成する。こうして、プラスチック基板734上に、結晶性シリコンを活性領域に有するTFTとアモルファスシリコンを活性領域に有するダイオードを含む集積回路(IC)が完成する。すなわち、プラスチック基板上に、太陽電池754、画素領域751、画素の駆動領域752、CPU753やメモリー755等を含む集積回路(IC)を有するカード四基計算機等のICカードを形成することができる。

【0133】

本実施例によって作製されたICカード等の電子機器は、プラスチック基板上に形成されているため、薄く軽量である。また、同一基板上に電源部、入力部、中央処理部、出力部等が形成されているため、複数のパネルを貼り合わせる工程がなく、スループットを向上させることができる。

【0134】

【発明の効果】

本発明により、プラスチック基板上にポリシリコン膜を活性領域に有する半導体素子及びアモルファスシリコン膜を活性領域に有する半導体素子を含む半導体装置を形成することができる。すなわち、ポリシリコンを活性領域に有するTFTとアモルファスシリコンを活性領域に有するダイオードを有する光センサ、光電変換素子、太陽電池素子等を作製することができる。

【0135】

本発明により作製した半導体装置は、プラスチック基板上に形成されているため、従来のものと比べて軽量で薄型化が可能である。

また、半導体装置が光センサ又は光電変換装置の場合、アモルファスシリコンのダイオード等で形成された光電変換素子とポリシリコンのTFTで形成された増幅素子を有しているため、センサの大きさが小さくても微弱な可視光の検出も可能である。

さらに、プラスチック基板を用いているため、薄型化が可能となり、設置場所の選択性が増加するため、実装基板の面積を縮小することが可能であると共に、光センサ、光電変換素子、または太陽電池素子の受光面積を拡大するが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1を示す図。

【図2】 本発明の実施の形態2を示す図。

【図3】 本発明の実施例1を示す図。

【図4】 本発明の実施例1を示す図。

【図5】 本発明の実施例3を示す図。

【図6】 本発明の実施例3を示す図。

【図7】 本発明の実施例3を示す図。

【図8】 本発明の実施例1を示す図。

【図9】 本発明の実施例2を示す図。

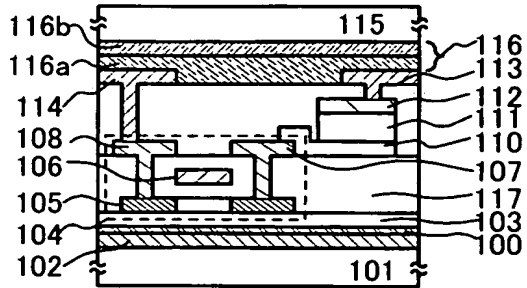
【図10】 本発明の実施例2を示す図。

【図11】 本発明の半導体装置の実装方法を示す図。

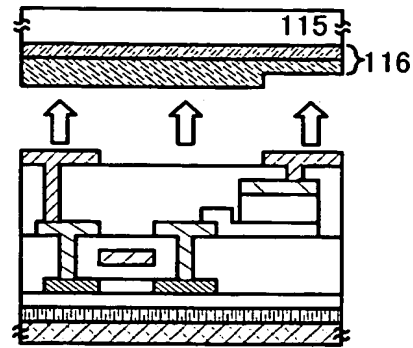
【書類名】 図面

【図 1】

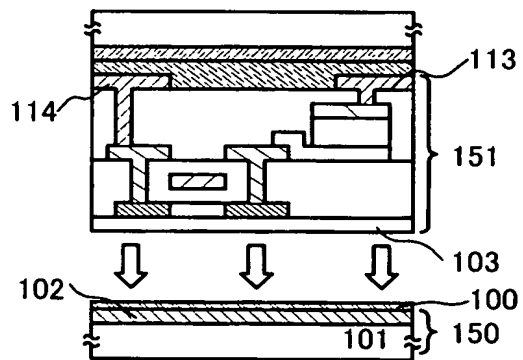
(A)



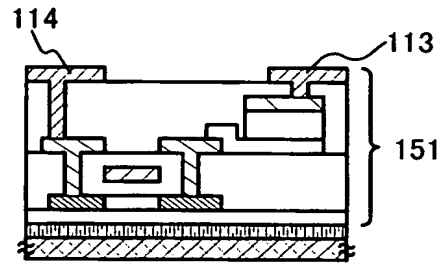
(D)



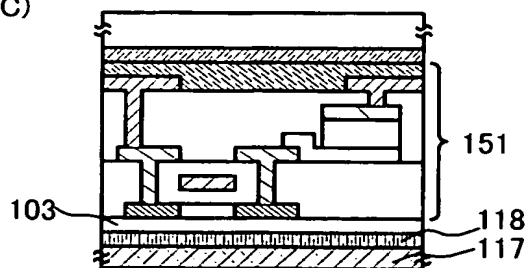
(B)



(E)



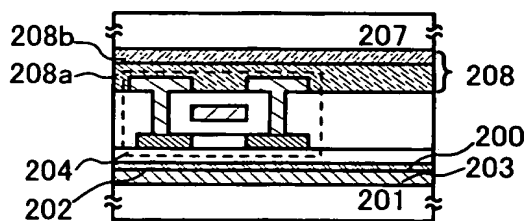
(C)



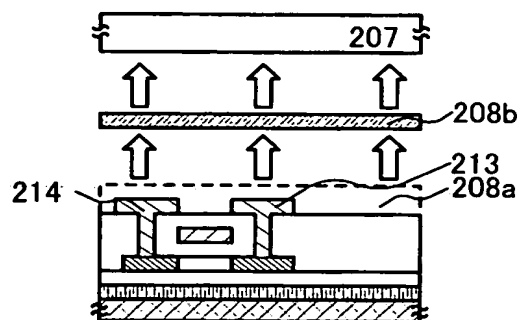
BEST AVAILABLE COPY

【図 2】

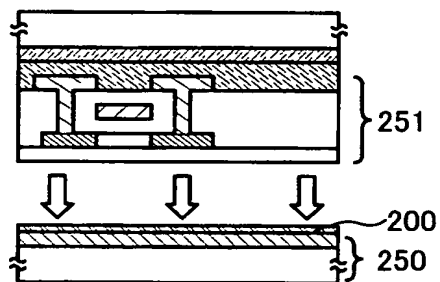
(A)



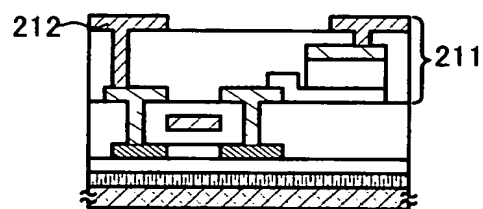
(D)



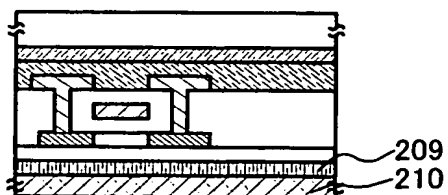
(B)



(E)



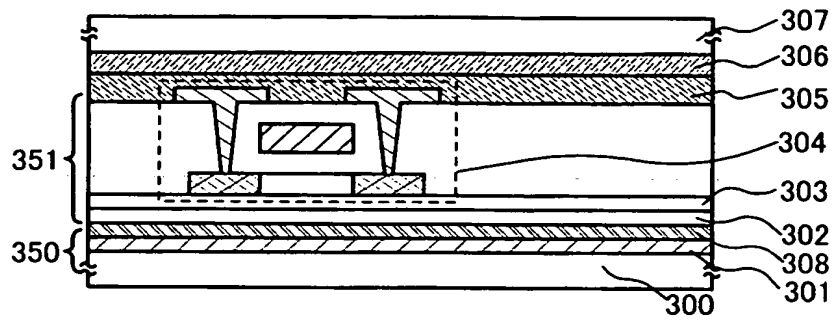
(C)



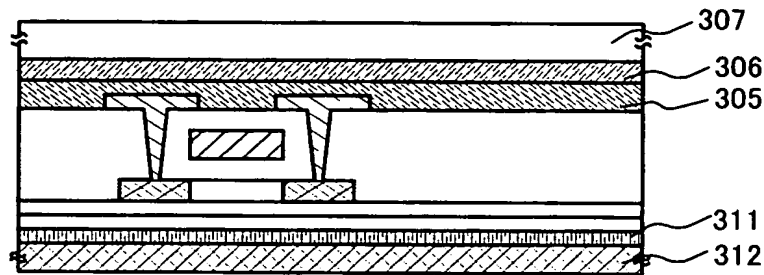
BEST AVAILABLE COPY

【図 3】

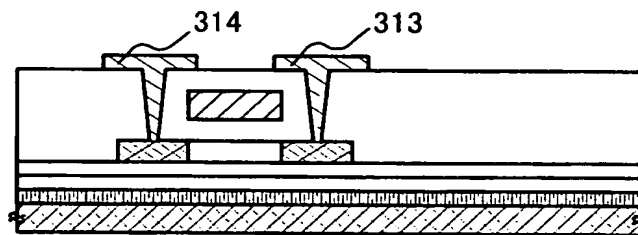
(A)



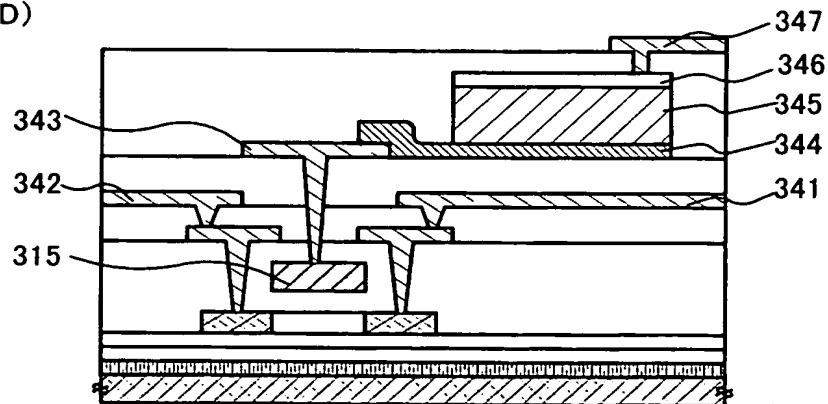
(B)



(C)

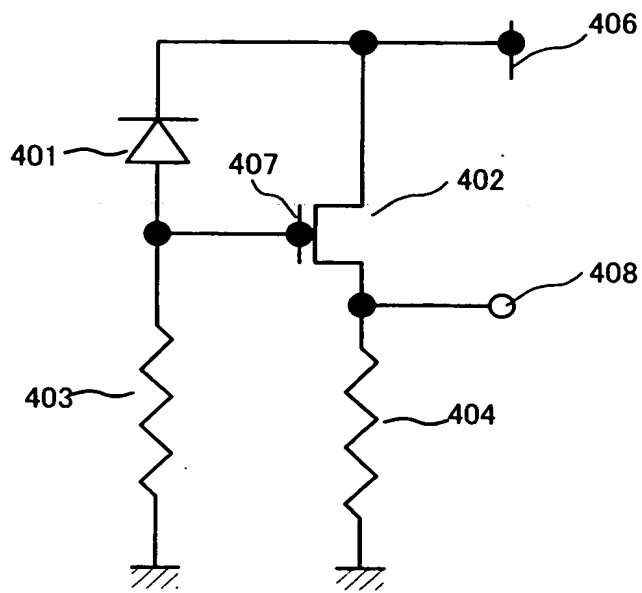


(D)



NOT AVAILABLE COPY

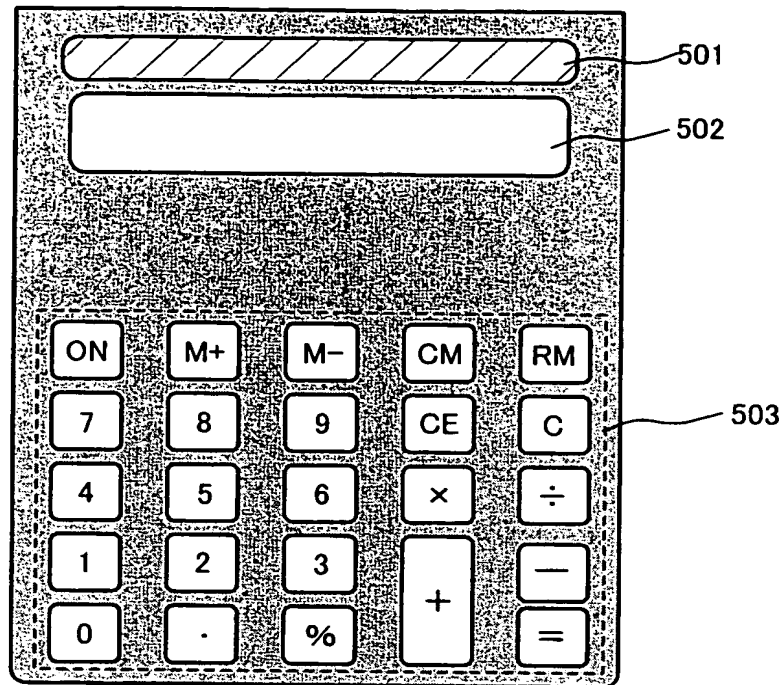
【図 4】



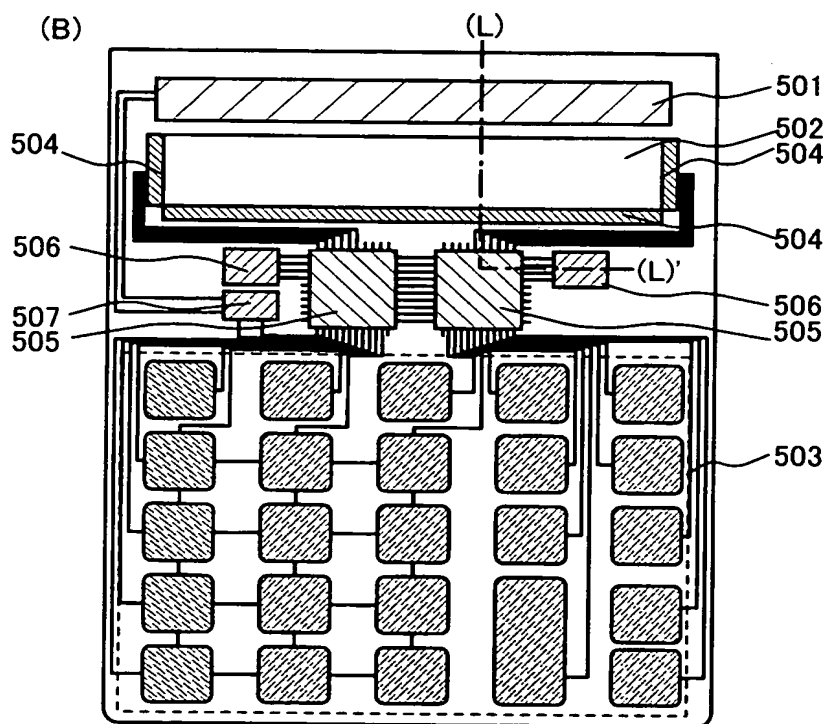
BEST AVAILABLE COPY

【図 5】

(A)

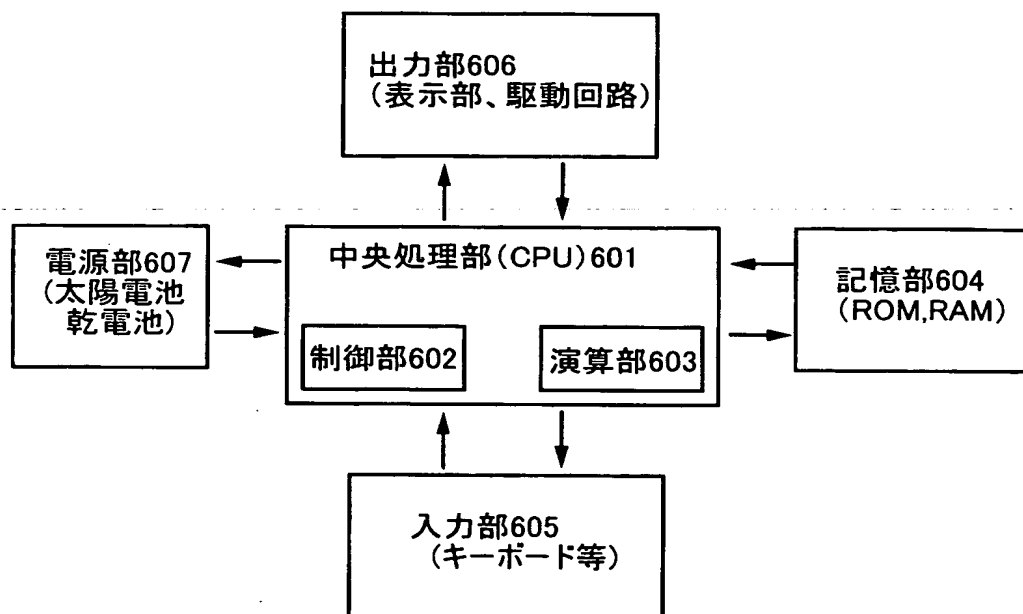


(B)



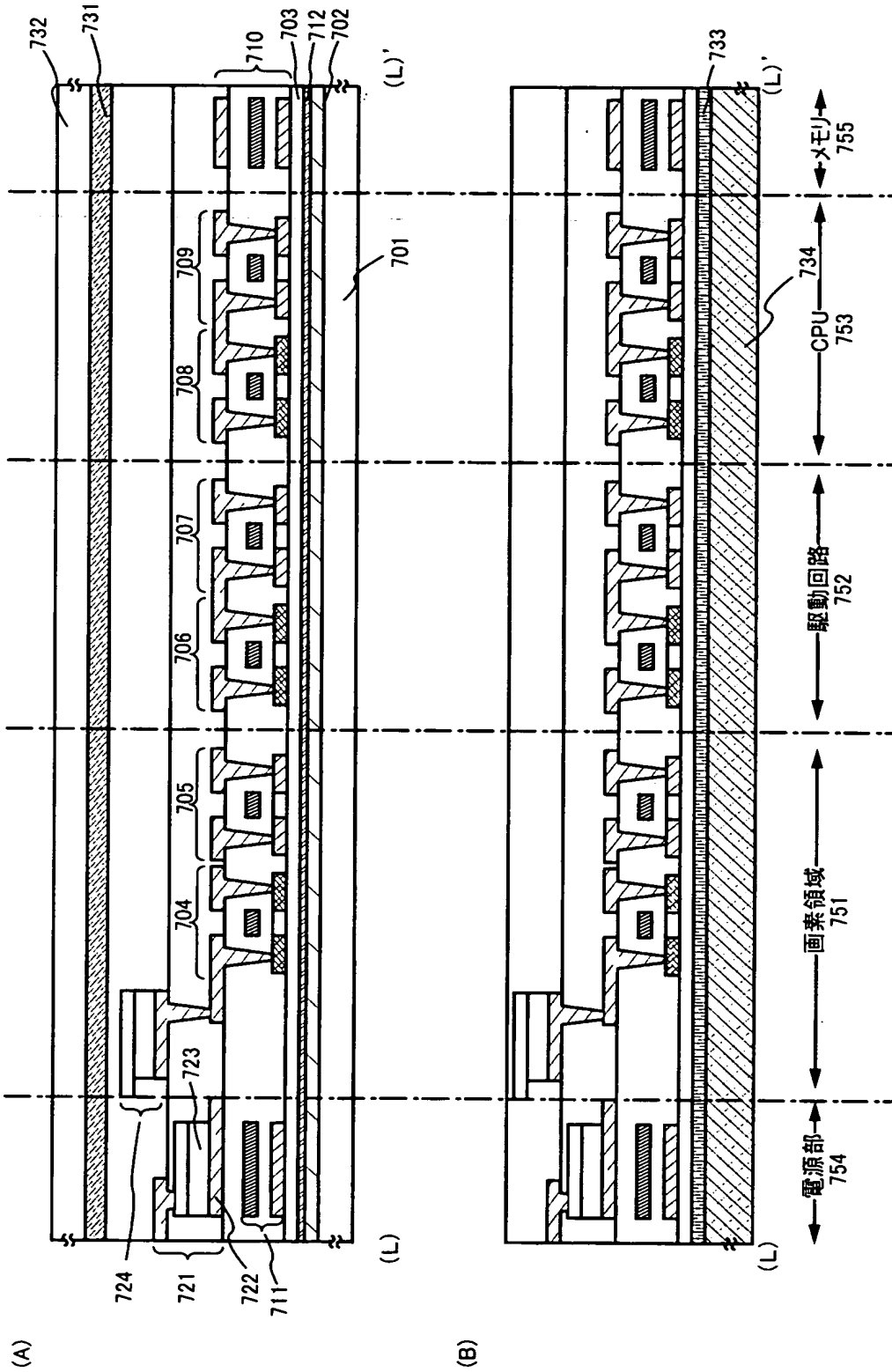
BEST AVAILABLE COPY

【図 6】



BEST AVAILABLE COPY

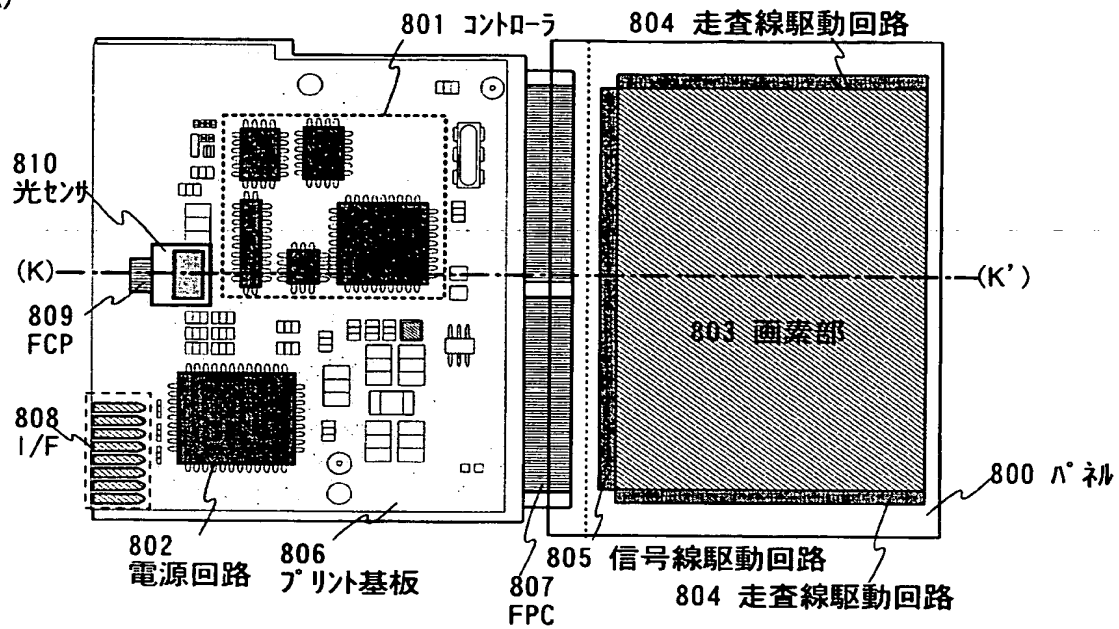
【図 7】



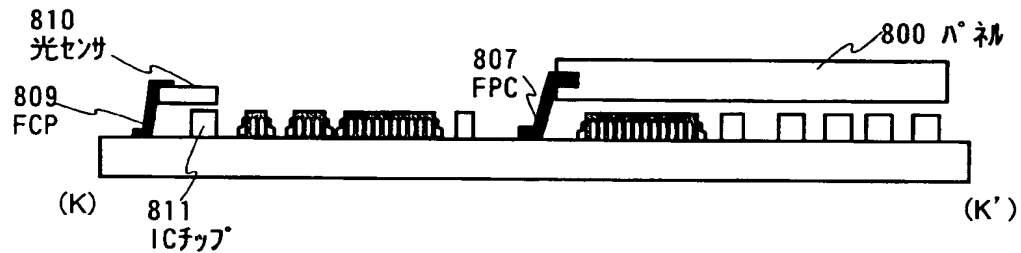
BEST AVAILABLE COPY

【図 8】

(A)



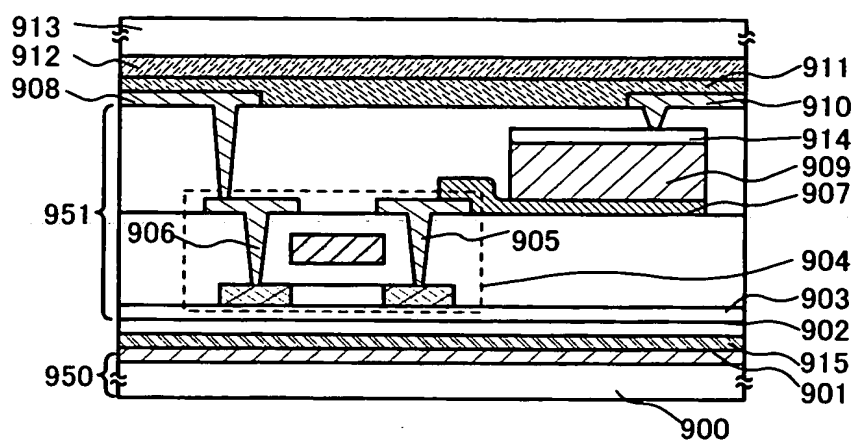
(B)



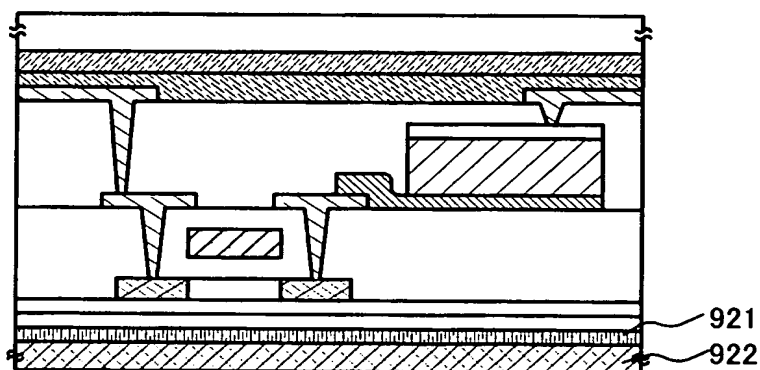
BEST AVAILABLE COPY

【図 9】

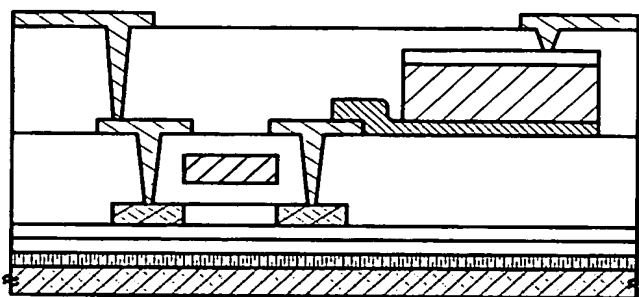
(A)



(B)



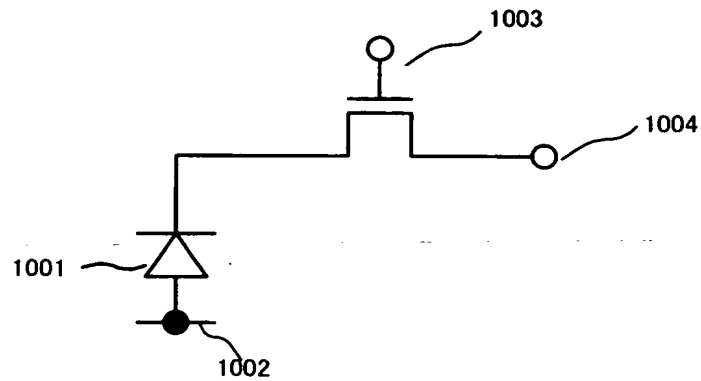
(C)



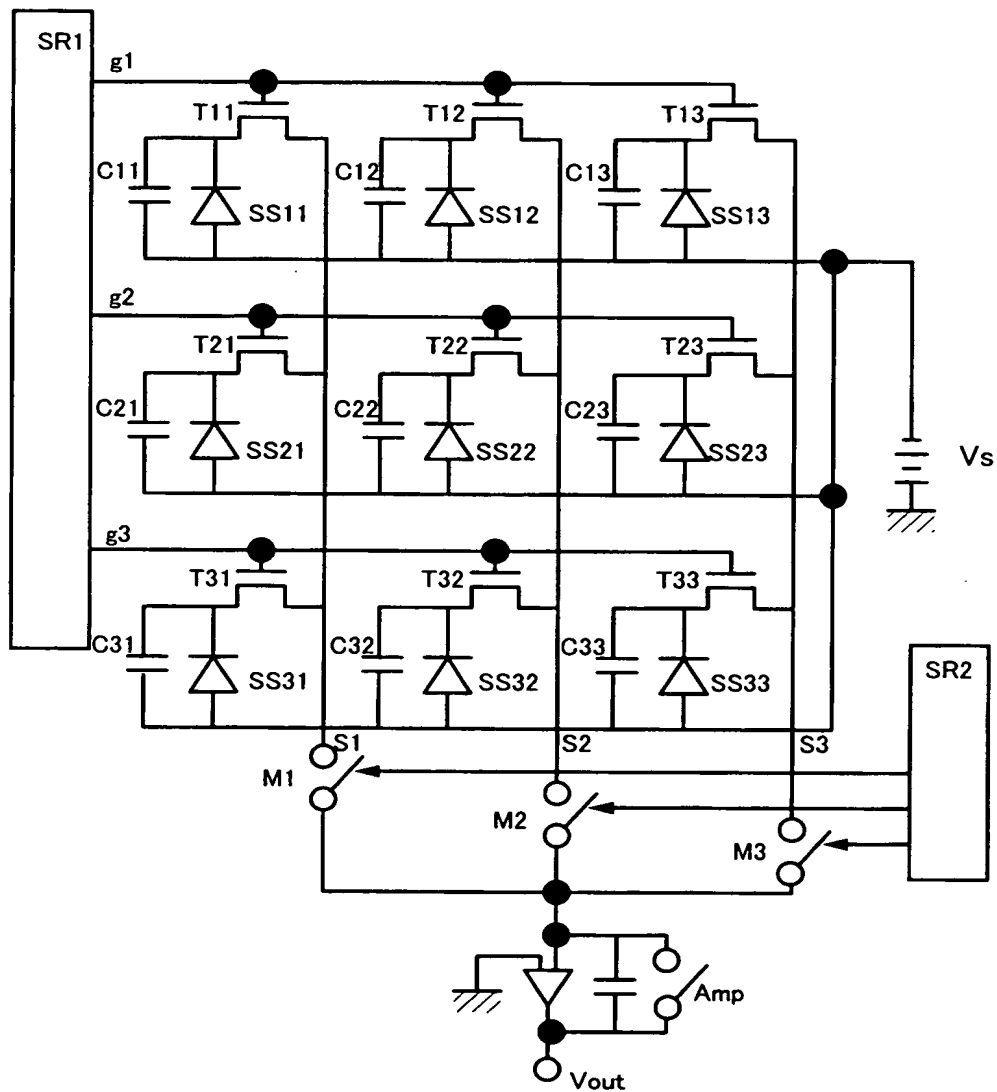
BEST AVAILABLE COPY

【図 10】

(A)

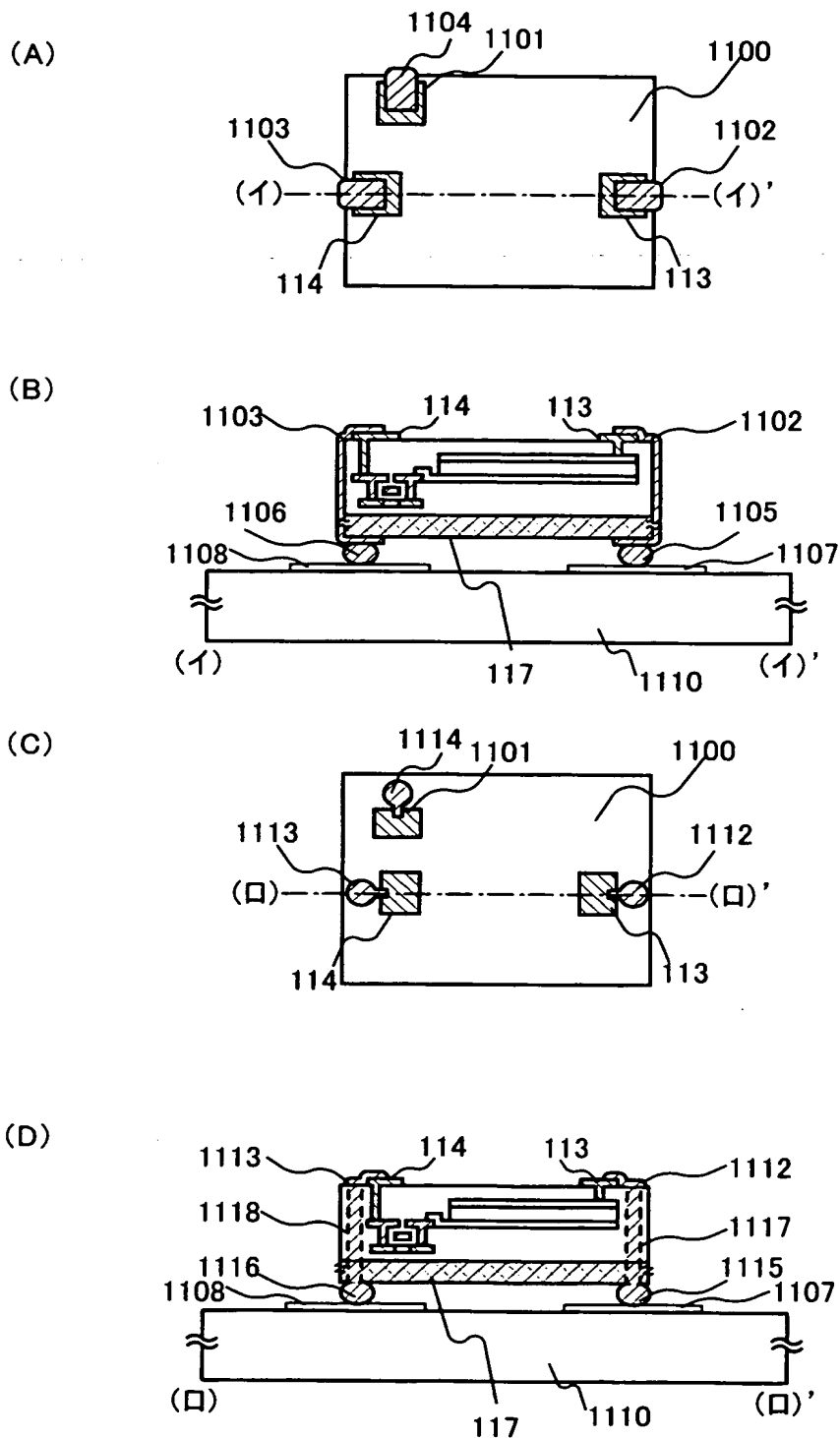


(B)



BEST AVAILABLE COPY

【図 11】



BEST AVAILABLE COPY



【書類名】 要約書

【要約】

【課題】 軽量で薄く、好ましくは可撓性を有する基板又は有機部材上に、結晶質半導体膜を活性領域に有する半導体素子及び非晶質半導体膜を活性領域に有する半導体素子で形成される半導体装置を作製。

【解決手段】 本発明は、第1の基板上に金属膜、金属酸化膜、絶縁膜及び水素を含む非晶質半導体膜を順に形成し、加熱処理を施して前記金属酸化物膜及び前記非晶質半導体膜を結晶化し、該結晶化された半導体膜を活性領域に用いて第1の半導体素子を形成した後、前記第1の半導体素子上に第1の接着材を用いて支持体を接着し、前記金属膜と前記絶縁膜との間で剥離し、前記剥離された絶縁膜に第2の基板を接着したのち、前記第1の接着材を除去して前記支持体を剥離し、前記第1の半導体素子上に非晶質半導体膜を形成し、該非晶質半導体膜を活性領域に用いる第2の半導体素子を形成することを特徴とする。

【選択図】 図1

BEST AVAILABLE COPY

特願 2 0 0 3 - 0 0 2 6 6 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所